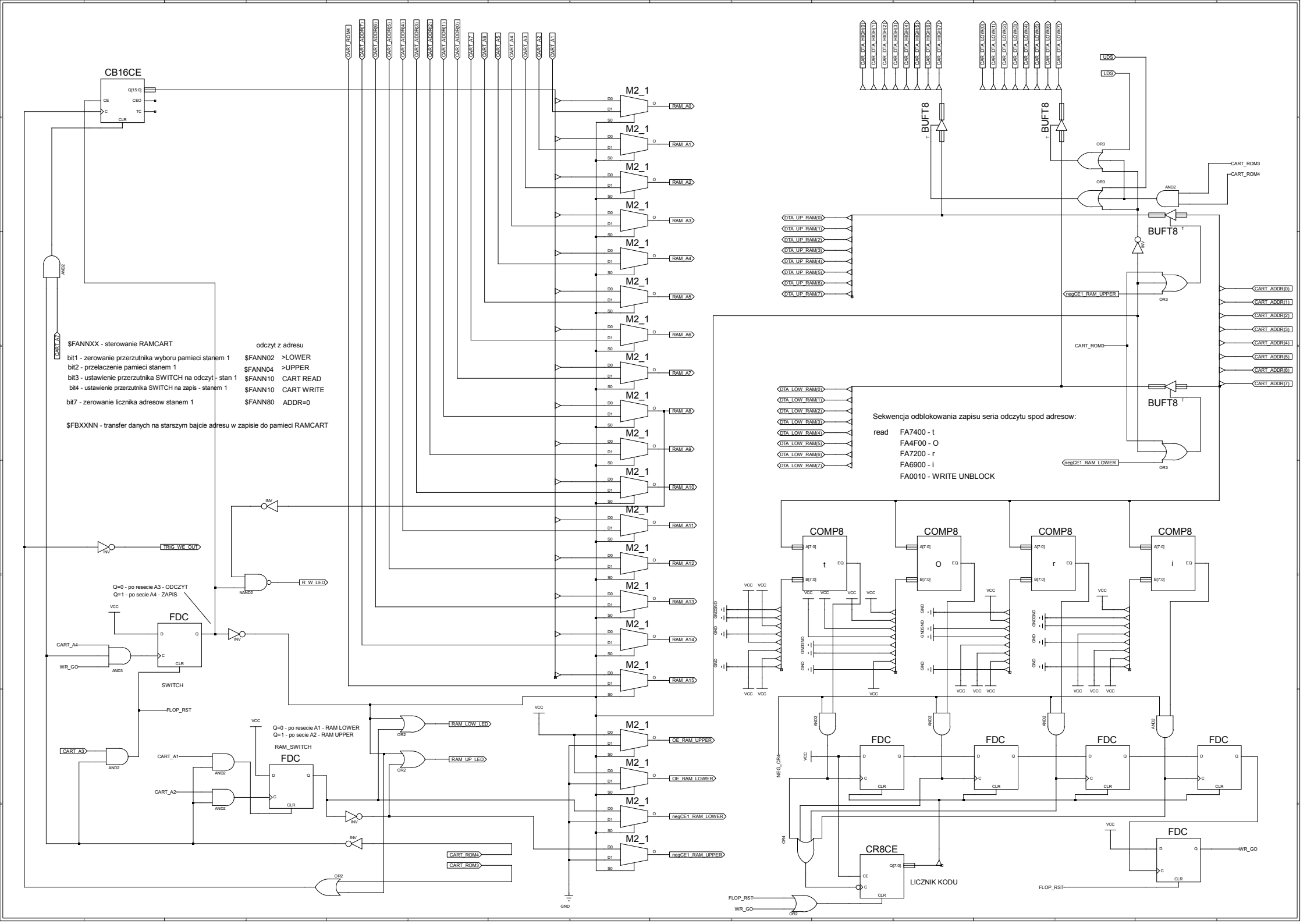
CB16CE
Q[15:0]
CE
CED
C
TC
CLR
CART_ROM4
CART_ADDR(7)
CART_ADDR(6)
CART_ADDR(5)
CART_ADDR(4)
CART_ADDR(3)
CART_ADDR(2)
CART_ADDR(1)
CART_ADDR(0)
CART_A7
CART_A8
CART_A5
CART_A4
CART_A3
CART_A2
CART_A1
M2_1
D0
D1
S0
O
RAM_A0
RAM_A1
RAM_A2
RAM_A3
RAM_A4
RAM_A5
RAM_A6
RAM_A7
RAM_A8
RAM_A9
RAM_A10
RAM_A11
RAM_A12
RAM_A13
RAM_A14
RAM_A15
OE_RAM_UPPER
OE_RAM_LOWER
negCE1_RAM_LOWER
negCE1_RAM_UPPER
CART_ROM4
CART_ROM3
AND2
$FANNXX - sterowanie RAMCART
bit1 - zerowanie przerzutnika wyboru pamieci stanem 1
bit2 - przelaczenie pamieci stanem 1
bit3 - ustawienie przerzutnika SWITCH na odczyt - stan 1
bit4 - ustawienie przerzutnika SWITCH na zapis - stanem 1
bit7 - zerowanie licznika adresow stanem 1
odczyt z adresu
$FANN02 >LOWER
$FANN04 >UPPER
$FANN10 CART READ
$FANN10 CART WRITE
$FANN80 ADDR=0
$FBXXNN - transfer danych na starszym bajcie adresu w zapisie do pamieci RAMCART
INV
TRIG_WE_OUT
NAND2
R_W_LED
Q=0 - po resecie A3 - ODCZYT
Q=1 - po secie A4 - ZAPIS
VCC
FDC
D
Q
C
CLR
CART_A4
WR_GO
AND3
SWITCH
FLOP_RST
CART_A3
CART_A1
CART_A2
Q=0 - po resecie A1 - RAM LOWER
Q=1 - po secie A2 - RAM UPPER
RAM_SWITCH
OR2
RAM_LOW_LED
RAM_UP_LED
GND
CAR_DTA_HIGH(0)
CAR_DTA_HIGH(1)
CAR_DTA_HIGH(2)
CAR_DTA_HIGH(3)
CAR_DTA_HIGH(4)
CAR_DTA_HIGH(5)
CAR_DTA_HIGH(6)
CAR_DTA_HIGH(7)
CAR_DTA_LOW(0)
CAR_DTA_LOW(1)
CAR_DTA_LOW(2)
CAR_DTA_LOW(3)
CAR_DTA_LOW(4)
CAR_DTA_LOW(5)
CAR_DTA_LOW(6)
CAR_DTA_LOW(7)
BUFT8
UDS
LDS
OR3
CART_ROM3
CART_ROM4
DTA_UP_RAM(0)
DTA_UP_RAM(1)
DTA_UP_RAM(2)
DTA_UP_RAM(3)
DTA_UP_RAM(4)
DTA_UP_RAM(5)
DTA_UP_RAM(6)
DTA_UP_RAM(7)
negCE1_RAM_UPPER
CART_ADDR(0)
CART_ADDR(1)
CART_ADDR(2)
CART_ADDR(3)
CART_ADDR(4)
CART_ADDR(5)
CART_ADDR(6)
CART_ADDR(7)
DTA_LOW_RAM(0)
DTA_LOW_RAM(1)
DTA_LOW_RAM(2)
DTA_LOW_RAM(3)
DTA_LOW_RAM(4)
DTA_LOW_RAM(5)
DTA_LOW_RAM(6)
DTA_LOW_RAM(7)
negCE1_RAM_LOWER
Sekwencja odblokowania zapisu seria odczytu spod adresow:
read FA7400 - t
FA4F00 - O
FA7200 - r
FA6900 - i
FA0010 - WRITE UNBLOCK
COMP8
A[7:0]
B[7:0]
EQ
t
O
r
i
GNDGND
NEG_CR4
CR8CE
Q[7:0]
LICZNIK KODU